

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307643

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H03H 11/04

H03H 11/54

H04N 5/21

(21)Application number : 06-099401

(71)Applicant : HITACHI LTD  
HITACHI VIDEO ENG CO LTD

(22)Date of filing : 13.05.1994

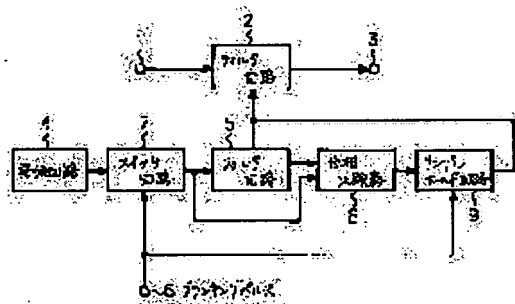
(72)Inventor : ISHINO CHIHARU  
SUDO KOICHI  
OTSUKA MASATAKA

## (54) FILTER ADJUSTMENT CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the output of an oscillator indispensable 5 automatic adjustment from appearing on a display screen as video interference in a filter adjustment circuit whose object is a filter assembled in a television receiver.

**CONSTITUTION:** A switching circuit 7 is controlled by blanking pulses 6, the output of an oscillation circuit 4 is connected only in a flyback period, adjustment is performed and a phase compared result is held in a sample-and-hold circuit 9. Thus, even though the output of the oscillation circuit 4 is cut off and the video interference is prevented from appearing in a scanning period, the held output of the sample-and-hold circuit 9 is used and the adjustment is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307643

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/04	H	8628-5 J		
11/54		8628-5 J		
H 0 4 N 5/21	B			

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平6-99401

(22) 出願日 平成6年(1994)5月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 石野 千春

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所情報映像メディア事業部内

(74) 代理人 弁理士 並木 昭夫

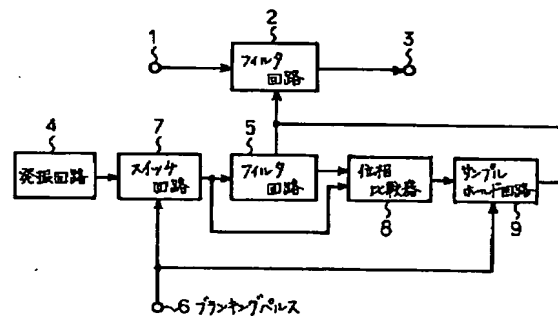
最終頁に続く

(54) 【発明の名称】 フィルタ調整回路

(57) 【要約】

【目的】 テレビ受像機に組み込まれたフィルタを対象としたフィルタ調整回路において、自動調整に不可欠な発振器の出力が表示画面に映像妨害となって現れるのを防止する。

【構成】 スイッチ回路7をブランキングパルス6で制御し、帰線期間においてのみ発振回路4の出力を接続して調整を行い、位相比較結果をサンプルホールド回路9で保持しておくことにより、走査期間では発振回路4の出力を切り離して映像妨害が現れないようにしても、サンプルホールド回路9の保持出力を使って調整は行うようにする。



【特許請求の範囲】

【請求項 1】 入力したビデオ信号をフィルタ処理して出力する第 1 のフィルタ回路と、前記第 1 のフィルタ回路と同じ構成を持つ第 2 のフィルタ回路と、特定の基準周波数信号を出力する発振回路と、前記発振回路からの基準周波数信号を入力される前記第 2 のフィルタ回路の入出力信号の位相誤差を検出する位相比較器と、前記位相比較器からの位相誤差信号により、前記第 1 及び第 2 の各フィルタ回路のカットオフ周波数を制御するカットオフ制御手段と、を有して成るフィルタ調整回路において、

前記発振回路の出力と前記第 2 のフィルタ回路の入力との間に接続されたスイッチ回路と、前記位相比較器の出力側に接続され該位相比較器の出力を保持してその保持出力を前記カットオフ制御手段に渡すサンプルホールド回路と、前記ビデオ信号をラスタ走査で画面表示する際に、走査の帰線期間を示す信号として発生されるブランキングパルスにより、ラスタ走査の帰線期間には前記スイッチ回路を閉じ、他の期間には開くよう、スイッチの開閉を制御するスイッチ制御手段と、ラスタ走査の帰線期間における前記位相比較器からの位相誤差信号を、前記ブランキングパルスにより、前記サンプルホールド回路に取り込んで、他の期間中は、これを保持させる保持制御手段と、を具備したことを特徴とするフィルタ調整回路。

【請求項 2】 入力したビデオ信号をフィルタ処理して出力する第 1 のフィルタ回路と、前記第 1 のフィルタ回路と同じ構成を持つ第 2 のフィルタ回路と、特定の基準周波数信号を出力する発振回路と、前記発振回路からの基準周波数信号を入力される前記第 2 のフィルタ回路の入出力信号の位相誤差を検出する位相比較器と、前記位相比較器からの位相誤差信号により、前記第 1 及び第 2 の各フィルタ回路のカットオフ周波数を制御するカットオフ制御手段と、を有して成るフィルタ調整回路において、

前記位相比較器の出力側に接続され該位相比較器の出力を保持してその保持出力を前記カットオフ制御手段に渡すサンプルホールド回路と、前記ビデオ信号をラスタ走査で画面表示する際に、走査の帰線期間を示す信号として発生されるブランキングパルスにより、ラスタ走査の帰線期間には前記発振回路を動作させ、他の期間には動作を停止させるよう、発振回路の動作を制御する発振回路制御手段と、前記ブランキングパルスにより、ラスタ走査の帰線期間における前記位相比較器からの位相誤差信号を前記サンプルホールド回路に取り込んで、他の期間中は、これを保持させる保持制御手段と、を具備したことを特徴とするフィルタ調整回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、周囲温度の変化とか、

経時変化などによりフィルタの特性が変わる場合に、これを自動調整して補償することのできるフィルタ調整回路に関するものであり、更に詳しくは、テレビジョン受像機などの信号処理回路用等に用いられるフィルタを対象とした、かかるフィルタ調整回路に関するものである。

【0002】

【従来の技術】 従来、フィルタ回路の調整機能は、該フィルタ回路を構成する集積回路において、フィルタのカットオフ周波数を決定づける抵抗値や容量の精度及び温度特性の影響を補償するための手段として考案された技術である。その一例が特公平 1-54884 号公報に記載されている。

【0003】 これは、フィルタを可変利得アンプとコンデンサから成る構成と考え、可変利得アンプの利得を制御することにより、カットオフ周波数を変化させ、受動素子の絶対バラツキを補償するものである。また、この他に、集積回路に応用した例として、受動素子の相対バラツキに着目したフィルタの自動調整回路が特開平 5-22076 号公報に示されている。

【0004】 図 3 は、この従来のフィルタの自動調整回路の一般的な構成を示すブロック図である。同図において、1 は信号入力端子、2 は調整すべき対象のフィルタ回路、3 は信号出力端子、4 は発振回路、5 は校正用フィルタ回路、8 は位相比較器、である。

【0005】 図 3 に見られるように、調整すべき対象のフィルタ回路 2 の他に同じ構成を持つ校正用フィルタ回路 5 を用意し、このフィルタ回路 5 に発振回路 4 からの基準周波数信号を入力し、この校正用フィルタ回路 5 の入出力信号を位相比較器 8 に入力することにより、位相誤差を検出し、この位相誤差を前記校正用フィルタ回路 5 とフィルタ回路 2 に帰還し、校正用フィルタ回路 5 のカットオフ周波数を調整すると共に、本来調整すべきフィルタ回路 2 のカットオフ周波数も同時に制御している。

【0006】 このように調整することによって、集積回路として作られたフィルタのカットオフ周波数の精度は、少なくとも受動素子の相対バラツキ以内に抑えられる。

【0007】

【発明が解決しようとする課題】 上記従来の自動調整回路では、フィルタ回路の精度と調整の自動化を図るために発振回路を設けている。しかし、図 3 に示すような自動調整回路を、テレビジョン受像機等の信号処理回路に用いられているフィルタ用に採用した場合、発振回路の発生する信号が信号処理回路側へ飛び込み、テレビ画面の映像にビート妨害となって現われる場合がある。

【0008】 本発明の目的は、かかる従来技術における問題点を克服し、発振回路を設けたフィルタ調整回路をテレビジョン受像機等の信号処理回路に用いられている

フィルタ用に採用した場合でも、発振回路の発生する信号がテレビ画面の映像にビート妨害となって現われるのを阻止することのできるフィルタ調整回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明では、入力したビデオ信号をフィルタ処理して出力する調整対象のフィルタ回路と、該調整対象フィルタ回路と同じ構成を持つ校正用フィルタ回路と、特定の基準周波数信号を出力する発振回路と、該発振回路からの基準周波数信号を入力される前記校正用フィルタ回路の入出力信号の位相誤差を検出する位相比較器と、前記位相比較器からの位相誤差信号により、前記調整対象及び校正用の各フィルタ回路のカットオフ周波数を制御するカットオフ制御手段と、を有して成るフィルタ調整回路において、

【0010】前記発振回路の出力と前記校正用のフィルタ回路の入力との間に接続されたスイッチ回路と、前記位相比較器の出力側に接続され該位相比較器の出力を保持してその保持出力を前記カットオフ制御手段に渡すサンプルホールド回路と、を具備した。

【0011】

【作用】上記の構成において、スイッチ回路は、ビデオ信号をラスト走査で画面表示する際に、走査の帰線期間を示す信号として発生されるブランキングパルスから、帰線期間と走査期間とを判別し、画面表示（映像表示）に関与しない帰線期間には、発振出力を校正用フィルタ回路に供給すると共に、その入出力の位相差を位相比較器を通して、サンプルホールド回路に渡し、該位相差データを保持する。

【0012】また、画面表示のため映像信号そのものをディスプレイに向け出力する走査期間では、発振回路の動作を停止あるいは発振出力を停止し、帰線期間で保持した位相差データを用いてフィルタ調整を行う。このような切換え動作を行うことで、画面表示期間において、発振回路による雑音が画面表示側へ飛込むのを抑制することが可能となる。

【0013】

【実施例】以下、本発明の実施例を図を参照して説明する。図1は、本発明の一実施例であるフィルタ調整回路の構成を示すブロック図である。

【0014】同図において、1はビデオ信号が入力される入力端子、2は入力したビデオ信号をフィルタ処理して出力するフィルタ回路（以下、第1のフィルタ回路という）、3は信号出力端子、4は特定の基準周波数信号を出力する発振回路、5は前記第1のフィルタ回路と同じ構成を持つフィルタ回路（以下、第2のフィルタ回路という）、6はブランキングパルスが入力される入力端子、7はブランキングパルスによって開閉制御されるスイッチ回路、8は前記第2のフィルタ回路5の入出力信

号間の位相差を検出する位相比較器、9は前記位相比較器8の比較出力を保持するサンプルホールド回路である。

【0015】ここで、図3に示した従来のフィルタ調整回路と相違する点は、ブランキングパルスの入力端子6とスイッチ回路7とサンプルホールド回路9を、図示の如く新たに設けた点である。これは、ラスト走査の帰線期間と走査期間に応じて、調整モードを切り換えるという新たな機能を果たすために追加した回路要素である。

【0016】即ち、ブランキングパルス6から帰線期間を検知したスイッチ回路7は、発振回路4の出力を第2のフィルタ回路5に接続し、図3を参照して説明したのと同様のフィルタ調整を行う。更に、同期間においては、続いて来る走査期間に備えてサンプルホールド回路9は、位相比較器8の出力結果を取込んで保持しておく。

【0017】次に、走査期間における調整回路の動作であるが、ここでは、ラスト走査期間（画面表示期間）において発振回路4による雑音が画面表示側へ混入するのを防ぐため、スイッチ回路7を開いて発振回路4の出力を停止し、予め帰線期間にサンプルホールド回路9に保持してあるフィルタ回路5の入出力信号間の位相差データを用いて、フィルタ回路2を調整する。かくして発振回路4による雑音が画面に妨害を与えるのを阻止しながらフィルタ回路2の調整を行うことができる。

【0018】図4は、図1におけるスイッチ回路7の具体例を示す回路図である。図4において、入力端子10に入力された発振回路4からの出力信号は、NPNトランジスタ14、直流電流源15からなるバッファ回路を通して、出力端子11に現れる。

【0019】ここで、入力端子6にブランキングパルスが入力されると、NPNトランジスタ19は走査期間に飽和し、コンデンサ16によって、出力端子11は交流的に接地され、信号は出力されない。また、帰線期間においては、NPNトランジスタ19はカットオフし、コンデンサ16の両端は開放状態になり、信号はそのまま出力される。なお図4において、12、13はそれぞれ電源端子、17、18はそれぞれ抵抗である。

【0020】図5は、図1におけるサンプルホールド回路9の具体例を示す回路図である。図5に示すサンプルホールド回路9は、基本的に利得が1倍なるオペアンプ22、23と入力電圧を保持するホールド・コンデンサ25によって構成される。

【0021】即ち、入力端子6から入力されるブランキングパルスによって、帰線期間にスイッチ26がONすると、入力端子20の電圧、ホールド・コンデンサ25の両端電圧並びに出力端子21の電圧は、抵抗24の帰還作用により、全て等しくなり、走査期間に入ると、スイッチ26はOFFし、入出力間は切断され、ホールド

・コンデンサ 25 の両端電圧がそのまま出力端子 21 に現れる。このホールド・コンデンサ 25 には、スイッチ 26 が OFF になる瞬間の入力電圧を保持しており、出力電圧も同じ値を示すことになる。

【0022】なお、図 1 の実施例では、映像信号の全期間（走査期間及び帰線期間）に渡って、発振回路 4 を常時動かし状態のシステム構成を示したが、図 2 に示すように発振回路 4 を直接ブランキングパルス 6 で制御することにより、走査期間において発振回路 4 を止め、帰線期間において発振回路 4 を動作させることにより、目的を達成することも可能である。

【0023】つまり図 2 は本発明の別の実施例を示すブロック図である。本実施例によれば図 1 に示した実施例に比較して、画面に現れる雑音に関して、より雑音の抑制効果が期待できる。

【0024】

【発明の効果】以上説明したように、本発明によれば、テレビジョン受像機などの信号処理回路等に用いられるフィルタを対象としたフィルタ調整回路において、自動調整に不可欠な発振器の出力をブランキングパルスによって、帰線期間と走査期間とに分けて制御することにより、従来、集積回路などにおいて問題となっていた発振雑音の映像期間への飛込み、つまり表示画面への雑音妨害を抑えることが可能になるという利点がある。

【図面の簡単な説明】

【図 1】本発明の一実施例であるフィルタ調整回路の構成を示すブロック図である。

【図 2】本発明の他の一実施例の構成を示すブロック図である。

【図 3】フィルタ自動調整回路の一般的な構成を示すブロック図である。

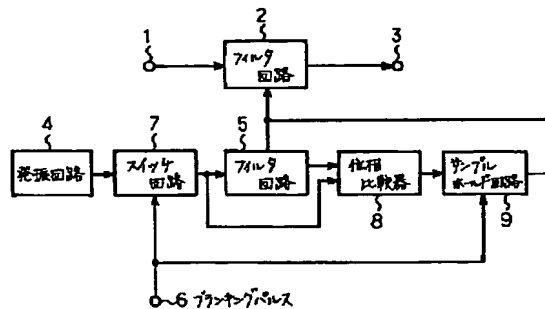
【図 4】図 1 におけるスイッチ回路 7 の構成の具体例を示す回路図である。

【図 5】図 1 におけるサンプルホールド回路 9 の構成の具体例を示す回路図である。

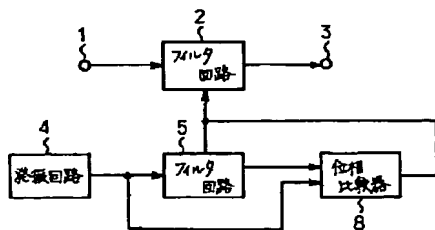
【符号の説明】

1…信号入力端子、2…調整対象のフィルタ回路、3…信号出力端子、4…発振回路、5…校正用フィルタ回路、6…ブランキングパルスの入力端子、7…スイッチ回路、8…位相比較器、9…サンプルホールド回路、10…スイッチ回路 7 の入力端子、11…スイッチ回路 7 の出力端子、12、13…電源端子、14、19…NP N トランジスタ、15…直流電流源、16…コンデンサ、17、18、24…抵抗、20…サンプルホールド回路 9 の入力端子、21…サンプルホールド回路 9 の出力端子、22、23…オペアンプ、25…ホールド・コンデンサ、26…ブランキングパルスによって制御されるスイッチ

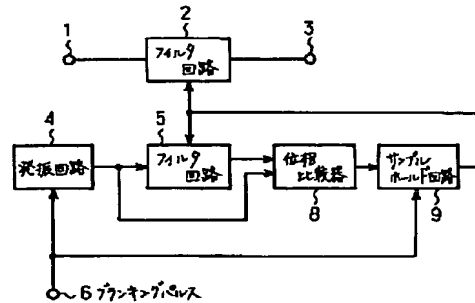
【図 1】



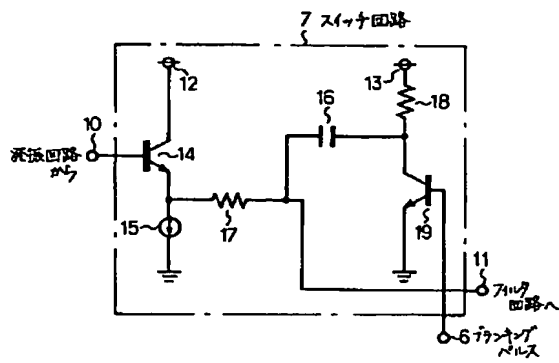
【図 3】



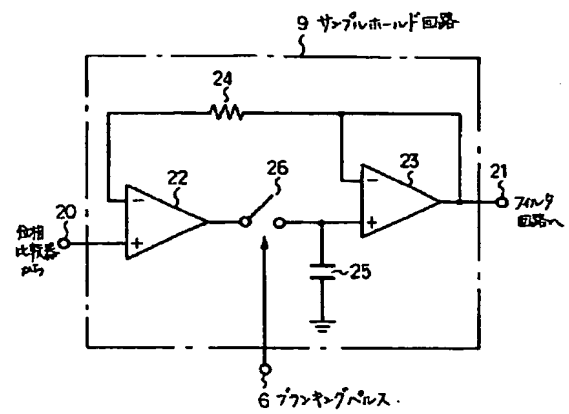
【図 2】



【図4】



【図5】



フロントページの続き

(72)発明者 須藤 幸一  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立画像情報システム内

(72)発明者 大塚 昌孝  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所AV機器事業部内

**THIS PAGE BLANK (USPTO)**